

Docket No.: 61352-043

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takeshi TAKAGI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 09, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

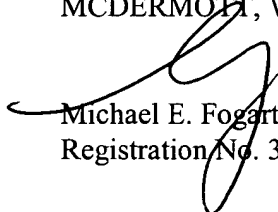
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-011833, filed January 21, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: September 9, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

61352-043
T.TAKAGI
September 9, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 1月21日

出 願 番 号

Application Number:

特願2002-011833

[ST.10/C]:

[JP2002-011833]

出 願 人

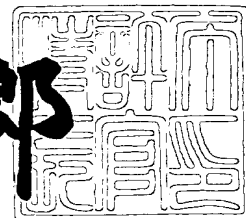
Applicant(s):

松下電器産業株式会社

2003年 1月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3104027

【書類名】 特許願

【整理番号】 2030230057

【提出日】 平成14年 1月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78
H01L 29/778

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 高木 剛

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体層と、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、

上記半導体層のうち上記ゲート電極の両側方に設けられた第 1 導電型のソース・ドレイン領域と、

上記半導体層のうち上記ソース・ドレイン領域間に位置する領域に設けられた第 1 の半導体からなるチャネル領域と、

上記チャネル領域の直下方に設けられ、上記第 1 の半導体よりもバンドギャップが大きい第 2 の半導体からなるチャネル下方領域と、

上記チャネル下方領域に、待機時には動作時よりもしきい値電圧が高くなる方向にバイアスを印加するための電圧印加手段とを備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記半導体層のうち上記チャネル領域と上記ゲート絶縁膜との間に設けられ、上記第 1 の半導体よりもバンドギャップが大きい第 3 の半導体からなるキャップ層をさらに備えていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、

上記第 1 の半導体は、組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 \leq x < 1$, $0 \leq y < 1$) によって表される半導体であり、

上記第 2 の半導体は、 Si であることを特徴とする半導体装置。

【請求項 4】 請求項 2 記載の半導体装置において、

上記第 1 の半導体は、組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 \leq x < 1$, $0 \leq y < 1$) によって表される半導体であり、

上記キャップ層は、 Si によって構成されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置におい

て、

上記半導体層の下方には、絶縁体層が設けられていることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、

上記ソース・ドレイン領域は、p 型ソース・ドレイン領域であり、

上記チャネル領域は、p チャネル用のチャネル領域であることを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、

上記第 1 の半導体は、Si 及び Ge を成分元素として含む半導体であり、

上記 p チャネルは、埋め込みチャネルであることを特徴とする半導体装置。

【請求項 8】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、

上記ソース・ドレイン領域は n 型ソース・ドレイン領域であり、

上記チャネル領域は、n チャネル用のチャネル領域であることを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、

上記第 1 の半導体は Si 及び C を成分元素として含む半導体であり、

上記 n チャネルは埋め込みチャネルであることを特徴とする半導体装置。

【請求項 10】 請求項 8 記載の半導体装置において、

上記第 1 の半導体は、組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 \leq x < 1$, $0 \leq y < 1$) によって表される半導体であり、

上記チャネル下方領域にはボロンがドーピングされていることを特徴とする半導体装置。

【請求項 11】 請求項 6 記載の半導体装置において、

上記基板上に設けられたもう 1 つの半導体層と、

上記もう 1 つの半導体層の上に設けられたもう 1 つのゲート絶縁膜と、

上記もう 1 つのゲート絶縁膜の上に設けられたもう 1 つのゲート電極と、

上記もう 1 つの半導体層のうち上記もう 1 つのゲート電極の両側方に設けられ

た n 型ソース・ドレイン領域と、

上記もう 1 つの半導体層のうち上記 n 型ソース・ドレイン領域間に位置する領域に設けられ、上記第 1 の半導体からなる n チャンネル用のチャンネル領域と、

上記 n チャンネル用のチャンネル領域の下方に設けられ、上記第 2 の半導体からなるもう 1 つのチャンネル下方領域と、

上記もう 1 つのチャンネル下方領域に、待機時には動作時よりもしきい値電圧が高くなる方向にバイアスを印加するためのもう 1 つの電圧印加手段とをさらに備え、

相補型デバイスとして機能することを特徴とする半導体装置。

【請求項 1 2】 請求項 1 1 記載の半導体装置において、

上記第 1 の半導体は、S i 及び G e を成分元素として含む半導体であり、

上記 p チャンネルは、埋め込みチャンネルであることを特徴とする半導体装置。

【請求項 1 3】 請求項 1 2 記載の半導体装置において、

上記第 1 の半導体は、S i , G e 及び C を成分元素として含む半導体であり、

上記 p チャンネル及び n チャンネルは、共に埋め込みチャンネルであることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ヘテロ接合型 M I S トランジスタを備えた半導体装置に係り、特に、動作速度を維持しつつ低電圧化を図るための対策に関する。

【0 0 0 2】

【従来の技術分野】

近年、電池駆動による携帯情報端末装置は広く使用されている。このような装置においては、電池寿命を延ばすために、高速動作性を維持しつつ電源電圧を低減化することが強く望まれている。

【0 0 0 3】

ここで、相補型 M I S デバイス (c M I S デバイス) によって構成される回路の消費電力 (P load) は、主に負荷の充放電によって生じ、下記式 (1)

$$P_{load} = f \cdot C_{load} \cdot V_{DD}^2 \quad (1)$$

によって表される。ここで、 f は負荷の駆動頻度、 C_{load} は負荷容量、 V_{DD} は電源電圧である。上記式 (1) からわかるように、電源電圧 V_{DD} を低減することが低消費電力化に対して非常に有効であることがわかる。ところが、一般に、電源電圧が低くなると、MIS トランジスタの動作速度も小さくなる。そこで、MIS トランジスタの高速動作性を維持しつつ、同時に電源電圧の低電圧化を図ることが求められている。

【0004】

MIS トランジスタにおいて、低い電源電圧で高いオン電流を確保しつつ、高速動作（つまり、高駆動力）を実現するためには、MIS トランジスタのしきい値電圧を下げるのが有効であるが、一般にはしきい値電圧を下げると、サブスレッショールドリーク電流が指数関数的に増大する。cMIS デバイスを備えた回路においては、待機時には負荷の充放電による消費電力がなくなるため、チップの消費電力の中でサブスレッショールドリーク電流による電力消費の比率が大きくなる。このような待機時のサブスレッショールドリーク電流を削減する技術として、例えば文献1 (T.Kuroda et. Al., "A 0.9V, 150-MHz, 10-mW, 4mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage(VT) Scheme," IEEE J. Solid-State Circuits, vol.31, 1996, p.1770.) に記載されているように、基板バイアスの変化によってしきい値電圧が制御される VT MIS デバイス (Variable Threshold-Voltage MIS デバイス) がある。VT MIS デバイスにおいては、動作時には基板バイアスを弱く印加して MIS トランジスタのしきい値電圧を低くすることで高速動作を確保する一方、待機時には基板バイアスを強く印加して MIS トランジスタのしきい値電圧を高くすることによりリーク電流を抑制する。

【0005】

【発明が解決しようとする課題】

しかしながら、このような VT MIS デバイスにおいて、以下のような課題が存在している。

【0006】

M I S トランジスタの動作時における高速動作と、待機時における低リーク電流とを実現するためには、基板バイアスの変化に応じて M I S トランジスタのしきい値電圧が大きくシフトしなければならない。ところが、今後、電源電圧がますます低電圧化されていくと、M I S トランジスタのしきい値電圧の大きなシフトを得ることは困難となってくる。すなわち、基板バイアス変化 (ΔV_{bs}) によるしきい値電圧の変化 (ΔV_{th}) は、下記式 (2)

$$\Delta V_{th} = \gamma \cdot \Delta V_{bs} \quad (2)$$

によって表される。ここで、 γ は基板バイアス係数である。

【0007】

ところが、文献 2 (T. Hiramoto et. Al., "Low Power and Low Voltage MOSFETs with Variable Threshold Voltage Controlled by Back-Bias," IEICE Trans. Electron., vol.E83-C, 2000, p.161.) に記載されているように、しきい値電圧 V_{th} の低下と基板バイアス係数 γ の向上とはトレードオフの関係にあり、しきい値電圧 V_{th} が低い M I S トランジスタにおいては、基板バイアス係数 γ も小さくなってしまふ。したがって、M I S トランジスタの電源電圧を低電圧化しつつ高速動作（つまり高い駆動力）を得るために、動作時のしきい値電圧 V_{th} を低くすると、それに応じて基板係数 γ が小さくなるので、式 (2) からわかるようにしきい値電圧 V_{th} の変化量 ΔV_{th} が小さくなる。つまり、M I S トランジスタの待機時に強い基板バイアスを印加しても、待機時におけるしきい値電圧 V_{th} の動作時からの変化量 ΔV_{th} が十分大きくならない。その結果、M I S トランジスタのサブスレッショルドリーク電流を十分抑制することが困難になるおそれがあった。

【0008】

本発明の目的は、M I S トランジスタのしきい値電圧を低下させながら基板バイアス係数 γ を十分大きく確保するための手段を講ずることにより、トランジスタの高速動作を確保しつつ、低オフリーク電流を実現しうる半導体装置の提供を図ることにある。

【0009】

【課題を解決するための手段】

本発明の半導体装置は、半導体層と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層のうち上記ゲート電極の両側方に設けられた第1導電型のソース・ドレイン領域と、上記半導体層のうち上記ソース・ドレイン領域間に位置する領域に設けられた第1の半導体からなるチャンネル領域と、上記チャンネル領域の直下方に設けられ、上記第1の半導体よりもバンドギャップが大きい第2の半導体からなるチャンネル下方領域と、上記チャンネル下方領域に、待機時には動作時よりもしきい値電圧が高くなる方向にバイアスを印加するための電圧印加手段とを備えている。

【0010】

これにより、ヘテロ接合を利用して、半導体層のうちチャンネル領域の下方の領域における不純物濃度を高くしても、動作時におけるしきい値電圧の増大を抑制することができるとともに、基板バイアス係数の低下を抑制することができる。したがって、待機時にはしきい値電圧を高くしてオフリーク電流を抑制することができる。よって、動作時におけるしきい値電圧の低下による駆動力の向上と、待機時に基板バイアスを利用してしきい値電圧を上昇させることによるオフリーク電流の抑制とを併せて実現することが可能になる。よって、半導体装置の高速動作化と低消費電力化とを併せて実現することができる。

【0011】

上記半導体層のうち上記チャンネル領域と上記ゲート絶縁膜との間に設けられ、上記第1の半導体よりもバンドギャップが大きい第3の半導体からなるキャップ層をさらに備えていることにより、チャンネル領域を埋め込みチャンネル構造にすることが可能になり、基板バイアスの変化に応じたしきい値電圧の変化幅を大きくすることが可能になる。よって、動作時における駆動力の向上効果と、待機時におけるしきい値電圧の上昇によるオフリーク電流の抑制効果とをより顕著に発揮することができる。

【0012】

上記第1の半導体は、組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 \leq x < 1$, $0 \leq y < 1$) によって表される半導体である場合は、上記第2の半導体は Si であることが好ましい。これにより、Siの製造プロセスをそのまま利用して、高性能のヘテ

口接合型MISFETを実現することができる。

【0013】

上記第1の半導体は、組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 \leq x < 1$, $0 \leq y < 1$) によって表される半導体である場合は、上記キャップ層はSiにより構成されていることが好ましい。

【0014】

上記半導体層の下方に絶縁体層が設けられていることにより、SOI基板上で、ボディ領域を外部と分離絶縁させることが容易になるので、ボディ領域ごとの電圧の調整が容易となる。

【0015】

上記ソース・ドレイン領域はp型ソース・ドレイン領域であり、上記チャネル領域はpチャネル用のチャネル領域であることにより、pチャネル型MISトランジスタとして機能する半導体装置が得られる。

【0016】

その場合には、上記第1の半導体はSi及びGeを成分元素として含む半導体であり、上記pチャネルは埋め込みチャネルであることにより、埋め込みチャネル構造を有するMISトランジスタが基板バイアスの変化の影響を受けやすいことを利用して、しきい値電圧の低下と、基板バイアス係数の低下の抑制とを実現することが可能になる。

【0017】

上記ソース・ドレイン領域はn型ソース・ドレイン領域であり、上記チャネル領域はnチャネル用のチャネル領域であることにより、nチャネル型MISトランジスタとして機能する半導体装置が得られる。

【0018】

その場合には、上記第1の半導体はSi及びCを成分元素として含む半導体であり、上記nチャネルは埋め込みチャネルであることにより、埋め込みチャネル構造を有するMISトランジスタが基板バイアスの変化の影響を受けやすいことを利用して、しきい値電圧の低下と、基板バイアス係数の低下の抑制とを実現することが可能になる。

【 0 0 1 9 】

上記第 1 の半導体は、組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 \leq x < 1$, $0 \leq y < 1$) によって表される半導体であり、上記チャネル下方領域にはボロンがドーピングされている場合には、チャネル領域の組成中に Ge 又は C が含まれているので、ボロンのチャネル層への拡散に起因するゲート絶縁膜の特性の劣化などを抑制することができる。

【 0 0 2 0 】

上記基板上に設けられたもう 1 つの半導体層と、上記もう 1 つの半導体層の上に設けられたもう 1 つのゲート絶縁膜と、上記もう 1 つのゲート絶縁膜の上に設けられたもう 1 つのゲート電極と、上記もう 1 つの半導体層のうち上記もう 1 つのゲート電極の両側方に設けられた n 型ソース・ドレイン領域と、上記もう 1 つの半導体層のうち上記 n 型ソース・ドレイン領域間に位置する領域に設けられ、上記第 1 の半導体からなる n チャネル用のチャネル領域と、上記 n チャネル用のチャネル領域の下方に設けられ、上記第 2 の半導体からなるもう 1 つのチャネル下方領域と、上記もう 1 つのチャネル下方領域に、待機時には動作時よりもしきい値電圧が高くなる方向にバイアスを印加するためのもう 1 つの電圧印加手段とをさらに備えることにより、相補型デバイスとして機能する半導体装置が得られる。

【 0 0 2 1 】

上記第 1 の半導体は Si 及び Ge を成分元素として含む半導体である場合、上記 p チャネルは埋め込みチャネルであり、上記 n チャネルは表面チャネルであることにより、n チャネル型 MIS トランジスタにおいては、Si-VT 型 MIS トランジスタと同等の特性を維持しつつ、p チャネル型 MIS トランジスタにおいては高速動作化と低消費電力化とを併せて実現することができる。

【 0 0 2 2 】

上記第 1 の半導体は Si, Ge 及び C を成分元素として含む半導体であり、上記 p チャネル及び n チャネルは共に埋め込みチャネルであることにより、n チャネル型 MIS トランジスタ及び p チャネル型 MIS トランジスタの双方において、高速動作化と低消費電力化とを併せて実現することができる。

【 0 0 2 3 】

【発明の実施の形態】

本発明では、ヘテロ接合部に生じるバンドの不連続によるヘテロ障壁をチャネル領域に利用することにより、しきい値電圧 V_{th} の低下と基板バイアス係数 γ の増大とを同時に実現することにより、VTMIS デバイスの高駆動力化・低消費電力化を図っている。以下、図面を用いて本発明の実施の形態について順次説明していく。

【 0 0 2 4 】

(第1の実施形態)

図1 (a), (b) は、本発明の第1の実施形態のSiGe層をチャネルに用いたヘテロ接合型のpチャネルVTMISトランジスタ（以下、pHVTMISFETという）の断面図及び平面図である。

【 0 0 2 5 】

図1 (a), (b) に示すように、本実施形態のpHVTMISFETは、p型のSi基板10と、Si基板10の上にUHV-CVD法によりエピタキシャル成長された厚さ約10nmのSiバッファ層13と、Siバッファ層13の上にUHV-CVD法によりエピタキシャル成長された厚さ約15nmのSiGe膜14（Ge組成率30%）と、SiGe膜14の上にUHV-CVD法によりエピタキシャル成長された厚さ約5nmのSiキャップ層15とを備えている。

【 0 0 2 6 】

さらに、pHVTMISFETは、Siキャップ層15の上に設けられたシリコン酸化膜からなる厚さ約6nmのゲート絶縁膜16と、ゲート絶縁膜16の上に設けられたゲート電極17とを備えている。そして、Siバッファ層13、SiGe膜14及びSiキャップ層15のうちゲート電極17の両側方に位置する領域には高濃度のp型不純物を含むソース領域20a及びドレイン領域20bが設けられ、ソース領域20a及びドレイン領域20bは素子分離領域30によって囲まれている。また、Si基板10のうちソース領域20aとドレイン領域20bとの間の領域は、n型不純物を含むSiボディ領域22となっており、Siバッファ層13のうちSiボディ領域22の直上に位置する領域は、低濃度のn

型不純物を含む n^- Si 領域 2 3 となっている。そして、SiGe 膜 1 4 のうちソース領域 2 0 a とドレイン領域 2 0 b との間の領域は、比較的低濃度の n 型不純物を含む SiGe チャネル領域 2 4 となっており、Si 膜 1 5 のうちゲート絶縁膜 1 6 の直下に位置する領域は低濃度の n 型不純物を含む Si キャップ領域 2 5 となっている。また、ゲート電極 1 7 とその上方の配線とを接続するゲートコンタクト 2 5 と、ソース領域 2 0 a とその上方の配線とを電氣的に接続するソースコンタクト 2 6 a と、ドレイン領域 2 0 b とその上方の配線とを電氣的に接続するドレインコンタクト 2 6 b と、Si ボディ領域 2 2 とその上方の配線とを電氣的に接続する導体部材であるボディコンタクト 2 7 とが設けられている。このボディコンタクト 2 7 は、Si ボディ領域 2 2 に独立したバイアス（電圧）を印加するための導体部材である。なお、ゲート電極 1 7 のチャネル長は、約 0. 3 μ m である。

【 0 0 2 7 】

すなわち、本実施形態の p H V T M I S F E T は、ゲート電極 1 7 に印加される電圧（ゲートバイアス V_g ）と、ボディコンタクト 2 7 を介してボディ領域 2 2 に印加される電圧（基板バイアス V_{bs} ）とによって、ゲート電極 1 7、ゲート絶縁膜 1 6、Si キャップ層 2 5、SiGe チャネル領域 2 4、 n^- Si 層 2 3 及び Si ボディ領域 2 2 を通過する断面におけるエネルギーバンド状態を調整することが可能に構成されている。

【 0 0 2 8 】

ここで、p チャネル型 M I S F E T においては、ボディ領域に印加される負の電圧が順方向の基板バイアス（しきい値電圧が低下する方向のバイアス）で正の電圧が逆方向の基板バイアス（しきい値電圧が上昇する方向のバイアス）であり、 n チャネル型 M I S F E T においては、ボディ領域に印加される正の電圧が順方向の基板バイアスで負の電圧が逆方向の基板バイアスである。したがって、p チャネル型 M I S F E T においては、ボディ領域に正の電圧が印加されたときは電圧値が大きいほど逆方向の基板バイアスが大きく、ボディ領域に負の電圧が印加されたときは電圧の絶対値が大きいほど順方向の基板バイアスが大きい。一方、 n チャネル型 M I S F E T においては、ボディ領域に負の電圧が印加されたと

きは電圧の絶対値が大きいほど逆方向の基板バイアスが大きく、ボディ領域に正の電圧が印加されたときは電圧値が大きいほど順方向の基板バイアスが大きい。

【 0 0 2 9 】

そして、本実施形態においては、図 1 5 に示すような基板バイアス制御回路により、 n HVT MISFET の p ウエル（ p ボディ領域）に、動作時にはしきい値電圧が低くなり、待機時にはしきい値電圧が高くなるように基板バイアス V_{bs} が印加される。基板バイアスが印加される領域は、チャネル領域の下方であればよく、ウエルやボディ領域などと呼ばれる領域である。この領域は、 n チャネル型トランジスタでは p 型領域であり、 p チャネル型トランジスタでは n 型領域である。

【 0 0 3 0 】

図 2 (a), (b), (c) は、それぞれ順に、ゲート電極 1 7, ゲート絶縁膜 1 6, Si キャップ層 2 5, SiGe チャネル領域 2 4, n^- Si 層 2 3 及び Si ボディ領域 2 2 を通過する断面におけるビルトイン状態、ゲートバイアス印加時（動作時）及び非印加時（待機時）におけるエネルギーバンド図である。

【 0 0 3 1 】

図 2 (a) に示すように、ビルトイン状態で、Ge 含有率が 3 0 % の SiGe チャネル領域 2 4 のバンドギャップは、Si キャップ層 2 5 及び n^- Si 領域 2 3 に比べて、約 2 2 0 meV だけ小さくなるので、SiGe チャネル領域 2 4 と Si キャップ層 2 5 及び n^- Si 領域 2 3 との間には、ホールを閉じこめることが可能な価電子帯端のヘテロ障壁が形成される。そして、ゲート電極 1 7 に p 型不純物をドーピングしておくことにより、バイアスが印加されていない状態（ビルトイン状態）で、SiGe チャネル領域 2 4 のうち Si キャップ層 2 5 に接する部分の価電子帯端のエネルギーが特に高くなるので、SiGe チャネル領域 2 4 のヘテロ障壁に接する部分にホールの閉じこめに適した凹部が形成されている。

【 0 0 3 2 】

したがって、図 2 (b) に示すように、わずかのゲートバイアス V_g を印加するだけで、バンドの曲げにより、SiGe チャネル領域 2 4 のうち Si キャップ層 2 5 に接する部分に、 p チャネルを形成することができ、しきい値電圧 V_{th} を

小さくすることが容易となる。本実施形態では、動作時における基板バイアス V_{bs} は 0 としている。SiGe チャンネル領域 24 は、ゲート絶縁膜 16 から Si キャップ層 25 の厚み分だけ離れた位置に形成されており、本発明の SiGe-pHVTMISFET は、いわば埋め込みチャンネル構造を有している。

【0033】

そして、しきい値電圧 V_{th} が低くなるように設計された状態では、ゲート電極 17 に印加されるオン動作のための負の電圧は小さくて済むので、Si キャップ層 25 のゲート絶縁膜 16 に接する部分に反転層がほとんど生じないように設計することが可能である。その結果、SiGe チャンネル領域 24 とは別の部分に生じる、いわゆる寄生チャンネルの発生を有効に防止することができる。したがって、SiGe チャンネル領域 24 の特徴であるホールの高速性を利用して、MISFET の低電圧化と高速動作と併せて実現することができる。

【0034】

一方、図 2 (c) に示すように、pHVTMISFET の待機時には、大きい正の基板バイアス V_{bs} (逆バイアス) が印加されるので、価電子帯端が下方に大きく曲げられる。これは、ソース・ドレイン領域の価電子帯端のポテンシャルに対するチャンネル領域の価電子帯端のポテンシャルが大きくなる（つまり障壁が高くなる）ことに相当する。したがって、pHVTMISFET をオンにするためにゲート電極 17 に印加する電圧である、しきい値電圧が大きくなり、ゲートバイアスが 0 V のときのリーク電流が低減されることになる。

【0035】

なお、pHVTMISFET の動作時には順方向（負）の基板バイアス V_{bs} を印加してしきい値を低下させ、待機時には 0 の基板バイアス V_{bs} を印加してしきい値を高くするように構成してもよい。

【0036】

ー基板バイアス係数ー

しかも、本実施形態においては、しきい値電圧 V_{th} を低下させても、基板バイアス V_{bs} の変化に対するしきい値電圧 V_{th} の変化の比である基板バイアス定数 γ を大きくすることができ、基板バイアスの変化に応じて MIS トランジスタのしき

い値電圧が大きくシフトさせることができることが、以下のデータによって実証されている。

【 0 0 3 7 】

図 3 (a) , (b) は、それぞれ順に、従来の Si-pVTMISFET 、本発明の SiGe-pHVTMISFET の価電子帯端のポテンシャルのシミュレーション結果を示す図である。図 3 (a) , (b) において、横軸は基板の上面からの深さ方向の位置を表し、縦軸はポテンシャルを表している。ただし、 p チャネル型 MISFET においては、キャリアがホールであることいから負の方向に向かうほど、ポテンシャル（ホールの走行に対するポテンシャル）が大きい。従来の Si-pVTMISFET 及び本発明の SiGe-pHVTMISFET のいずれにおいても、ボディ領域の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であり、基板バイアス V_{bs} を 0.6 V （逆バイアス）から -0.6 V （順バイアス）まで変化させており、ゲートバイアス V_g は 0 V である。また、図 3 (a) , (b) において、価電子帯端を示す曲線の端部を接続する点線は、それぞれ順に、 Si チャネルのポテンシャル及び SiGe チャネルのポテンシャルを示している。

【 0 0 3 8 】

図 3 (a) , (b) を比較するとわかるように、本発明の pHVTMISFET の SiGe チャネル領域のポテンシャルは、従来の Si-pVTMISFET のゲート絶縁膜との界面付近の領域に形成される Si チャネル領域のポテンシャルに比べ、低くなっている。これは、 SiGe のバンドギャップが Si より小さいことに起因している。

【 0 0 3 9 】

また、図 3 (b) に示す SiGe チャネルのポテンシャルの傾きは、図 3 (a) に示す Si チャネルのポテンシャルの傾きよりも大きい。つまり、 SiGe チャネルの価電子帯端のポテンシャルの変化の基板バイアス V_{bs} に対する依存性は、 Si より大きくなっている。つまり、 SiGe-pHVTMISFET の方が、基板バイアス係数 γ が大きいことを示している。これは、以下の理由によるものと推測される。つまり、従来の Si-pVTMISFET では、 Si チャネルがゲート絶縁膜に接する部分、つまり半導体基板の上面付近に形成される。それ

に対し、本発明の pHV TMISFET では、 SiGe チャンネルがゲート絶縁膜から Si キャップ層の厚みだけ離れた位置に形成される、いわば埋め込みチャンネル構造となっているので、基板バイアス V_{bs} の影響をより強く受けるものと考えられる。

【0040】

図4は、従来の Si-pV TMISFET 、本発明の SiGe-pHV TMISFET のチャンネルポテンシャルの基板バイアス依存性のシミュレーション結果を示す図である。同図において、横軸は基板バイアス V_{bs} を表し、縦軸はチャンネルポテンシャルを表している。ただし、 p チャンネル型 MISFET においては、キャリアがホールであることから負の方向に向かうほど、ポテンシャル（ホールの走行に対するポテンシャル）が大きい。従来の Si-pV TMISFET 及び本発明の SiGe-pHV TMISFET のいずれにおいても、ボディ領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 、 $2 \times 10^{18} \text{ cm}^{-3}$ 、及び $5 \times 10^{18} \text{ cm}^{-3}$ に変化させている。ゲートバイアス V_{g} は 0 V である。

【0041】

同図に示されるように、本発明の SiGe チャンネルにおいては、基板バイアス V_{bs} の変化に対するチャンネルポテンシャルの変化（各直線の傾き）が従来の Si チャンネルよりも大きいことがより明確に示されている。つまり、しきい値電圧 V_{th} の低下と基板係数 γ の増大とを併せて実現することができる。そして、 V TMISFET を SiGe チャンネルを有するヘテロ接合型 MISFET により構成することで、相乗的な著効を発揮することができる。

【0042】

また、基板バイアス V_{th} が強い逆バイアスである領域（ V_{bs} が 0.3 V 以上の領域）を除くと、 SiGe チャンネルのポテンシャルが Si チャンネルのポテンシャルよりも小さいことから、 SiGe-pHV TMISFET のしきい値電圧 V_{th} の方が Si-pV TMISFET のしきい値電圧 V_{th} よりも低いこと、ボディ領域の不純物濃度を高くしてもしきい値電圧 V_{th} を低く保持しうることがわかる。そして、これらのことから、本発明の pHV TMISFET は、さらに大きな基板バイアス係数 γ の実現が可能であること、及びショートチャンネル効果に対して

も強くなることがわかる。

【0043】

なお、本実施形態においては、Si キャップ層 25 の厚さを 5 nm としたが、Si キャップ層 25 の厚さは 1 nm 以上で 10 nm 以下の範囲にあることが好ましい。その理由は、Si キャップ層 25 を熱酸化してゲート絶縁膜を安定に形成するためには、1 nm 程度の厚さが必要であること、Si キャップ層 25 が厚すぎると Si Ge チャネル領域 24 がゲート絶縁膜 16 から遠くなるので基板バイアス係数 γ は大きくなるが、しきい値電圧 V_{th} の低下度合いが小さくなること、短チャネル効果も顕著になるおそれがあること、などである。

【0044】

Si Ge チャネル領域 24 の Ge 組成率は、高いほどしきい値電圧 V_{th} を低くしうる点で好ましいが、あまりに高くなると Si - Si Ge 間の格子不整合に起因する歪みが緩和する膜厚である臨界膜厚が非現実的な程度に薄くなってしまうので、Si Ge チャネル領域の Ge 組成率は、15% 以上で 40% 以下の範囲にあることが好ましい。Si Ge チャネル領域 24 の厚さは、3 nm 以上で 20 nm 以下の範囲にあることが好ましい。Si バッファ層 13 は厚いほど基板バイアス係数 γ が小さくなり、しきい値電圧 V_{th} が低下する。一方、あまりに厚いとしきい値電圧 V_{th} が低下しすぎることから、その厚さは 0 nm 以上で 20 nm 以下であることが好ましい。

【0045】

次に、Si Ge - HV T M I S F E T の基本特性、つまり基板バイアス V_{bs} を印加しない状態での特性を、従来の Si - V T M I S F E T と比較する。

【0046】

図 5 は、従来の Si - p V T M I S F E T と、本発明の Si Ge - p H V T M I S F E T との $V_g - I_d$ 特性を比較して示す図である。同図において、基板不純物濃度は、いずれも $1 \times 10^{18} \text{ cm}^{-3}$ であり、基板バイアス V_{bs} はいずれも 0 V である。既に説明した通りであるが、Si Ge - p H V T M I S F E T においては、しきい値電圧 V_{th} が低減されていることがわかる。また、同図の左下部分に示すように、Si Ge - p H V T M I S F E T においては、相互コンダクタン

ス (g_m) も増大していることがわかる。これは、SiGeチャネル中におけるホールの移動度がSiチャネル中よりも大きいことによる。

【0047】

図6 (a), (b) は、従来のSi-pVTMISFETと本発明のSiGe-pHVTMISFETとにおける V_d-I_d 特性の変化を比較して示す図である。図6 (a), (b) においては、ゲートオーバードライブ電圧 (V_g-V_{th}) をパラメータとして変化させている。しきい値電圧 V_{th} を越えるゲートオーバードライブ電圧に対して、本発明のSiGe-pHVTMISFETでは、従来のSi-pVTMISFETの約1.2倍のドレイン飽和電流が得られていることがわかる。

【0048】

図7は、従来のSi-pVTMISFETと、本発明のSiGe-pHVTMISFETとの低電界下におけるホールの有効移動度 (Effective Mobility) を比較して示す図である。本発明のSiGe-pHVTMISFETは、従来のSi-pVTMISFETに対して約2倍の高いホール移動度を有している。このように、VTMISFETにおいてSiGeをチャネルに用いると、しきい値電圧 V_{th} の低減、基板バイアス係数 γ の増大だけでなく、高いホール移動度が得られるため、既に説明したような相互コンダクタンス (g_m) の向上や、ドレイン飽和電流の増大という効果を発揮することができ、トランジスタの高速動作化を実現する点で非常に有効である。

【0049】

図8 (a), (b) は、従来のSi-pVTMISFETにおける V_g-I_d 特性をボディ領域の不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$, $5 \times 10^{17} \text{ cm}^{-3}$ に変えて示す図である。図9 (a) ~ (c) は、本発明のSiGe-pHVTMISFETにおける V_g-I_d 特性をボディ領域の不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$, $5 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$ に変えて示す図である。図8 (a), (b) 及び図9 (a) ~ (c) においては、基板バイアス V_{bs} を -0.6 V から 1 V まで 0.2 V 刻みで変化させたときの各 V_g-I_d 特性曲線が図示されている。例えば、図9 (b) に示す特性から、MISFETの動作時には基板バイアス V_{bs} を

- 0.6 Vに、待機時には基板バイアス V_{bs} を 0 V に制御することにより、動作時における高い電流駆動力と、待機時における高いしきい値電圧 V_{th} とが得られることがわかる。また、MISFETの動作時には基板バイアス V_{bs} を 0 V に、待機時には基板バイアス V_{bs} を 1 V に制御することによっても、動作時における高い電流駆動力と、待機時における高いしきい値電圧 V_{th} とが得られることがわかる。

【0050】

図8(a), (b) 及び図9(a) ~ (c) を比較するとわかるように、ボディ領域の不純物濃度及び基板バイアス V_{bs} が同一の場合、本発明の SiGe-pHV TMISFETの方がしきい値電圧が小さく、かつ、基板バイアス V_{bs} の変化に対する $V_g - I_d$ 特性の変化幅が大きいことがわかる。すなわち、V TMISFETにおいて、SiGeチャネルを設けることにより、しきい値電圧 V_{th} の低電圧化と、基板バイアス V_{bs} に対するしきい値電圧 V_{th} のシフト（基板バイアス係数 γ ）の増大を図りうることが実証されている。

【0051】

また、本発明の SiGe-pHV TMISFETにおいては、順方向の基板バイアス V_{bs} を印加したときのしきい値電圧 V_{th} の低下が著しくなっている。つまり、順方向の基板バイアス V_{bs} を印加することにより、大きなドレイン電流 I_d が得られる。この順方向の基板バイアスの印加時におけるしきい値電圧 V_{th} の大きな低下は、SiGeのバンドギャップがSiより小さいため、ソースから見た SiGeチャネル領域のホールの走行に対するポテンシャルが小さいことに起因している。

【0052】

一方、ボディ領域の不純物濃度を高くしていくと、本発明の SiGe-pHV TMISFET、従来の Si-pV TMISFET共に、基板バイアス係数 γ が増大している。また、ボディ領域の不純物濃度が高いほど、本発明の SiGe-pHV TMISFETと従来の Si-pV TMISFET Si とにおける基板バイアス係数 γ の差がより顕著になる。

【0053】

図 1 0 は、従来の Si-pVTMISFET と本発明の SiGe-pHVTMISFET とにおけるしきい値電圧 V_{th} の基板バイアス依存性を、ボディ領域の不純物濃度をパラメータとして示す図である。ボディ領域の不純物濃度が高くなると、しきい値電圧 V_{th} が高くなるとともに、基板バイアス係数 γ が大きくなっている。また、SiGe チャンネルとすることでしきい値電圧の低減と γ の増大が図られていることがよくわかる。さらに、SiGe-pHVTMISFET においては、順方向に基板バイアス（負の電圧）を印加した場合には、しきい値電圧 V_{th} の低下（正の方向）が特に著しい。これは、前述のとおり、SiGe チャンネルのポテンシャルが Si チャンネルよりも小さいことに起因しており、より高い駆動力を有することを示している。

【 0 0 5 4 】

図 1 1 (a), (b) は、それぞれ順に、従来の Si-pVTMISFET, 及び本発明の SiGe-pHVTMISFET のしきい値電圧を揃えたときの V_{g-ID} 特性を、基板バイアスをパラメータとして示す図である。図 1 1 (a), (b) においては、基板バイアス V_{bs} が 0 V の時に、両者のしきい値電圧 V_{th} がほぼ等しくなるように、各 MISFET のボディ領域の不純物濃度を調整している。このとき、Si-pVTMISFET のボディ領域の不純物濃度は $5 \times 10^{17} \text{ cm}^{-3}$ であり、SiGe-HVTMISFET のボディ領域の不純物濃度は、その 2 倍の $1 \times 10^{18} \text{ cm}^{-3}$ である。

【 0 0 5 5 】

したがって、本発明の SiGe-HVTMISFET は、チャンネル領域が SiGe によって構成されているために、ボディ領域の不純物濃度を高くしながら、しきい値電圧を Si-pVTMISFET と同等に調整することができる。その結果、SiGe-pHVTMISFET では、Si-pVTMISFET に比べて非常に大きな基板バイアス係数 γ を実現している。これは、SiGe ボディ領域 2 3 の不純物濃度を高く維持しうることと、埋め込みチャンネル構造を採用しうることとに起因している。そして、本発明の SiGe-HVTMISFET により、待機時には基板バイアス V_{bs} を大きくしてオフリーク電流を抑制しつつ、動作時には基板バイアス V_{bs} を小さくして高い駆動電流を有する高性能なトランジス

タを実現することができる。

【0056】

図12は、図11に示される従来のSi-pVTMISFET及び本発明のSiGe-pHVTMISFETの V_g-I_d 特性を、オン電流 I_{on} -オフリーク電流 I_{off} 特性として表した図である。各MISFETのドレイン電圧は-1Vに固定されている。同図において、横軸はオン電流 I_{on} （ドレイン電流）を表し、縦軸はオフ電流 I_{off} を表している。同図において、○、□は、それぞれ従来のSi-pVTMISFETのオン電流 I_{on} 、及びオフリーク電流 I_{off} のデータであり、●、■はそれぞれ本発明のSiGe-pHVTMISFETのオン電流 I_{on} （ドレイン電流）、及びオフリーク電流 I_{off} のデータである。ここで、○、●は、動作時の基板バイアス V_{bs} が-0.4Vで、待機時の基板バイアス V_{bs} が0.8Vの V_g-I_d 特性線からのプロットであり、□、■は、動作時の基板バイアス V_{bs} が0Vで待機時の基板バイアス V_{bs} が0.8Vの V_g-I_d 特性線からのプロットである。

【0057】

図12からわかるように、従来のSi-pVTMISFET及び本発明のSiGe-pHVTMISFETにおいて、オフリーク電流 I_{off} の値が同じときには、従来のSi-pVTMISFET（○、□）よりも本発明のSiGe-pHVTMISFET（●、■）の方が高いオン電流 I_{on} が得られている。これは、ボディ領域の不純物濃度が高くかつ埋め込みチャネル構造をしたSiGe-pHVTMISFETが高い基板バイアス係数 γ を有していることにより大きくしきい値電圧シフトしていること、また、SiGeチャネル領域24中のホールの移動度がSiチャネル領域に比べて大きいことに起因している。さらに、動作時における基板バイアス V_{bs} を順方向にバイアスした場合（ $V_{bs}=-0.4V$ ）には、従来のSi-pVTMISFETと本発明のSiGe-pHVTMISFETそのオン電流 I_{on} の差はより顕著となっている。言い換えると、高い I_{on}/I_{off} 比を得ることができる。

【0058】

つまり、本発明のSiGe-pHVTMISFETにおいて、動作時における

基板バイアス V_{bs} を順方向の値とすることは、より高いオン電流 I_{on} (ドレイン電流 I_d) を得るために有効である。これは、 $SiGe$ チャンネル領域 24 のキャリア走行に対するポテンシャルが小さいために、動作時と待機時との間におけるしきい値電圧 V_{th} の相違が顕著であるからである。逆にいうと、動作時における基板バイアス V_{bs} を順方向バイアスとした状態で駆動する MIS トランジスタにおいては、チャンネル領域をキャップ層よりもバンドギャップの小さい材料で構成し、かつ、埋め込みチャンネル構造を採ることが効果的であることを示している。

【 0 0 5 9 】

以上のように、本実施形態においては、しきい値電圧 V_{th} を低下させても、基板バイス V_{bs} の変化に対するしきい値電圧 V_{th} の変化の比である基板バイアス定数 γ を大きくすることができ、基板バイアスの変化に応じて MIS トランジスタのしきい値電圧が大きくシフトさせることができるので、待機時のオフリーク電流を低減しつつ、動作時における電流駆動力を大きくすることができる。つまり、高速動作かつ低消費電力のトランジスタとして有効である。

【 0 0 6 0 】

また、ボディ領域の不純物濃度を高くしても、しきい値電圧 V_{th} を低く保つことができるため、短チャンネル効果に対する耐性が向上し、ゲート長の短いトランジスタにおいても正常な動作を維持することができるので、高集積化・高性能化を図ることができる。

【 0 0 6 1 】

なお、本実施形態においては、本発明を $SiGe$ チャンネル領域を有する $pHVTMISFET$ に適用した例を説明したが、本発明は、 Si 基板上に C を微量含む SiC チャンネル領域 (特に n チャンネル型) や C を微量含む $SiGeC$ チャンネル領域 (p チャンネル型及び n チャンネル型) を有する $HVTMISFET$ に適用することも可能であることは言うまでもない。本発明を Si 基板上に C を微量含む SiC チャンネル領域を有する $HVTMISFET$ に適用した場合には、伝導帯端に形成される大きなバンドの不連続 (ヘテロ障壁) を利用して、高速動作かつ低消費電力のトランジスタとして機能する n チャンネル型 $MISFET$ ($nHVTMISFET$) を得ることができる。

【0062】

また、本実施形態においては、バルクのSi基板を用いた例を示したが、SOI基板を用いてもよい。SOI基板を用いた場合には、各HV TMI S F E Tの各ボディ領域同士の電氣的接続を分離することが容易になるので、各HV TMI S F E Tごとに基板バイアスV_{bs}を制御することが容易である。

【0063】

(第2の実施形態)

本実施形態においては、発明をSiGeチャネルを有する相補型のHV TMI Sデバイス(cHV TMI Sデバイス)の例について説明する。

【0064】

図13(a), (b), (c)は、それぞれ順に、本実施形態のcHV TMI Sデバイスの構造を示す断面図、pHV TMI S F E Tのゲートバイアス印加時(動作時)におけるバンド状態を示すエネルギーバンド図、及びnHV TMI S F E Tのゲートバイアス印加時(動作時)におけるバンド状態を示すエネルギーバンド図である。

【0065】

図13(a)に示すように、本実施形態のcHV TMI Sデバイスは、p型のSi基板10と、Si基板に酸素イオンを注入する方法により形成された埋め込み酸化膜11と、埋め込み酸化膜11の上に設けられたpチャネル型HV TMI S F E T(pHV TMI S F E T)用の半導体層30と、埋め込み酸化膜11の上に設けられたnチャネル型HV TMI S F E T(nHV TMI S F E T)用の半導体層80とを有している。半導体層30は、それぞれSOI基板の上部を構成する上部Si膜12と、上部Si膜12の上にUHV-CVD法によりエピタキシャル成長された厚さ約10nmのSiバッファ層13と、Siバッファ層13の上にUHV-CVD法によりエピタキシャル成長された厚さ約15nmのSiGe膜14(Ge組成率30%)と、SiGe膜14の上にUHV-CVD法によりエピタキシャル成長された厚さ約5nmのSiキャップ層15とを備えている。一方、半導体層80は、埋め込み酸化膜11の上に設けられた上部Si膜52と、上部Si膜52の上にUHV-CVD法によりエピタキシャル成

長されたSiバッファ層53と、Siバッファ層53の上にUHV-CVD法によりエピタキシャル成長されたSiGe膜54と、SiGe膜54の上にUHV-CVD法によりエピタキシャル成長されたSi膜55とを備えている。半導体層80のSiバッファ層53、SiGe膜54、Si膜55の厚さは、半導体層30のSiバッファ層13、SiGe膜14、Siキャップ層15の厚さとそれぞれ等しい。

【0066】

また、cHVTMISデバイスは、半導体層30、80の上にそれぞれ設けられたシリコン酸化膜からなるゲート絶縁膜16、56と、ゲート絶縁膜16、56の上にそれぞれ設けられたゲート電極17、57と、ゲート電極17、57の側面上にそれぞれ設けられたサイドウォール18、58とを備えている。そして、半導体層30のうちゲート電極17の両側方に位置する領域には高濃度のp型不純物を含むソース領域20a及びドレイン領域20bが設けられている。また、半導体層80のうちゲート電極57の両側方に位置する領域には高濃度のn型不純物を含むソース領域60a及びドレイン領域60bが設けられている。また、上部Si膜12のうちソース・ドレイン領域20a、20b間に位置する領域には、高濃度のn型不純物を含むSiボディ領域22が設けられ、Siバッファ層13のうちソース・ドレイン領域20a、20b間に位置する領域には低濃度のn型不純物を含む n^- Si領域23が設けられ、SiGe膜14のうちソース・ドレイン領域20a、20b間に位置する領域には低濃度のn型不純物を含むSiGeチャネル領域24が設けられ、Si膜15のうちソース・ドレイン領域20a、20b間に位置する領域には低濃度のn型不純物を含むSiキャップ層25が設けられている。また、上部Si膜52のうちソース・ドレイン領域60a、60b間に位置する領域には高濃度のp型不純物を含むSiボディ領域62が設けられ、Siバッファ層53のうちソース・ドレイン領域60a、60b間に位置する領域には低濃度のp型不純物を含む p^- Si領域63が設けられ、SiGe膜54のうちソース・ドレイン領域60a、60b間に位置する領域には低濃度のp型不純物を含むSiGeチャネル領域64が設けられ、Si膜65のうちソース・ドレイン領域60a、60b間に位置する領域には低濃度のp型不

純物を含むSiキャップ層65が設けられている。

【0067】

なお、図示しないが、基板上には、層間絶縁膜、層間絶縁膜を貫通してソース・ドレイン領域20a, 20b, 60a, 60bに接触するコンタクト、コンタクトに接続されて層間絶縁膜の上に延びるソース・ドレイン電極などが設けられている。

【0068】

本実施形態のcHVTMISデバイスの製造工程においては、SOI基板の一部である上部Si膜（ボディ領域）は、結晶成長前にあらかじめイオン注入により濃度が約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の不純物がドーピングされたn+ Si層（pHVTMISFET領域）とp+ Si層（nHVTMISFET領域）とになっており、UHV-CVD法によりエピタキシャル成長されたSiバッファ層、SiGeチャネル領域、Siキャップ層は、いずれもas-grownの状態では、不純物がドーピングされていないアンドープ層となっている。この時、Siバッファ層の厚みは10nmであり、SiGeチャネル層の厚みは15nmであり、Siキャップ層の厚みは5nmである。また、SiGeチャネル領域におけるGe含有率は30%である。SiGe膜、Siキャップ層の結晶成長が終了した後に、nHVTMISFET領域のSiGeチャネル領域付近には、濃度が約 $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ のp型不純物がイオン注入によりドーピングされる。また、pHVTMISFET領域のSiGeチャネル領域の付近には、濃度が約 $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ のn型不純物がイオン注入によりドーピングされる。ただし、SiGe膜、Siキャップ層はアンドープ層でもよい。そして、最上層のSiキャップ層を熱酸化することにより得られるシリコン酸化膜をゲート絶縁膜とし、その上には高濃度のn型不純物がドーピングされたポリシリコンからなるn+型のゲート電極と、高濃度のp型不純物がドーピングされたポリシリコンからなるp+型のゲート電極とが形成される。その後、各ゲート電極の両側には、高濃度のn型不純物がイオン注入されたn+型のソース・ドレイン領域と、高濃度のp型不純物がドーピングされたp+型のソース・ドレイン領域とが形成され、その上方にソース電極・ドレイン電極がそれぞれ形成される。また、図示されていないが、上部Si膜（S

i ボディ領域 22, 62 はコンタクトによって上層の配線に接続されている。

【0069】

図 13 (b) に示すように、p HVTMISFET においては、動作時には第 1 の実施形態で説明したように、基板バイアス V_{bs} が 0 バイアスまたは順バイアスであって、ゲートバイアスの印加により、SiGe チャンネル領域 24 にホールの走行に対するポテンシャルの小さい p チャンネルが形成される。

【0070】

図 13 (c) に示すように、n HVTMISFET においては、動作時には基板バイアス V_{bs} が 0 バイアスまたは順バイアスであって、ゲートバイアスの印加により、Si キャップ層 65 に n チャンネルが形成される。つまり、Si と SiGe のヘテロ接合においては、伝導帯にはほとんどバンド不連続が生じないので、本実施形態の c HVTMIS デバイス中の n HVTMISFET は、従来の n チャンネル型の Si-VTMISFET と同等の動作機能を有している。

【0071】

本実施形態の c HVTMIS デバイスは、簡単な工程で相補型の HVTMIS デバイスを製造しうる利点がある。

【0072】

特に、n HVTMISFET の Si ボディ領域 62 にドーピングする不純物としてボロンを用いた場合にも、Si バッファ領域 63 と Si キャップ層 65 との間に SiGe チャンネル領域 64 が存在しているので、Si ボディ領域 62 から Si キャップ層 65 へのボロンの拡散が抑制される。したがって、Si キャップ層 65 のうちゲート絶縁膜 56 との界面付近の領域に形成されるチャンネル領域の不純物濃度が低減される。これは、SiGe 領域中のボロンの拡散係数が Si 領域中のそれより小さいことに起因している。その結果、n HVTMISFET のしきい値電圧 V_{th} を低減することができるとともに、不純物散乱に伴う、電子の移動度の劣化が抑制できるために、高い電流駆動力を実現することができる。また、n HVTMISFET のしきい値電圧を低減できることから、Si ボディ領域 62 の不純物濃度を高めて基板バイアス係数 γ を増大させることもできる。

【0073】

(第3の実施形態)

上記第1, 第2実施形態では、チャネル領域をSiGeにより構成したが、チャネル領域をC(カーボン)の含有率が0.01%~2%(例えば約1%)である $Si_{1-x-y}Ge_xC_y$ により構成してもよい。SiGeチャネル領域にCを微量に添加すると、その効果はさらに高まる。SiGe結晶はイオン注入によって結晶構造の好ましくない変化を引き起こす傾向が強いが、チャネル領域を $Si_{1-x-y}Ge_xC_y$ によって構成することにより、イオン注入に起因する結晶構造の好ましくない変化を抑制することができる。

【0074】

図14(a), (b), (c)は、それぞれ順に、本実施形態のcHVTMISデバイスの構造を示す断面図、pHVTMISFETのゲートバイアス印加時(動作時)におけるバンド状態を示すエネルギーバンド図、及びnHVTMISFETのゲートバイアス印加時(動作時)におけるバンド状態を示すエネルギーバンド図である。本実施形態においては、チャネル領域は $Si_{1-x-y}Ge_xC_y$ によって構成されている。

【0075】

図14(a)に示すcHVTMISデバイスは、pHVTMISFET, nHVTMISFETにおいて、図13に示すSiGe膜14, 54に代えてSiGeC膜19, 59を設け、SiGeチャネル領域24, 64に代えてSiGeCチャネル領域29, 69を設けることによって得られる。その他の部分の構造は、図13に示すcHVTMISデバイスの構造と同じである。

【0076】

図14(b), (c)に示すように、本実施形態においては、pHVTMISFET, nHVTMISFET双方に、埋め込みチャネル(SiGeC埋め込みpチャネル及びSiGeC埋め込みnチャネル)が形成される。

【0077】

図15は、本実施形態のnHVTMISFET及びpHVTMISFETに基板バイアスVbsを印加するための回路構成を示すブロック回路図である。同図に示すように、基板バイアス制御回路50により、nHVTMISFETのpウエ

ル（ p ボディ領域）及び p HVTMISFET の n ウエル（ n ボディ領域）に、動作時にはしきい値電圧が低くなり、待機時にはしきい値電圧が高くなるように基板バイアス V_{bs} が印加される。基板バイアスが印加される領域は、チャネル領域の下方であればよく、ウエルやボディ領域などと呼ばれる領域である。この領域は、 n チャネル型トランジスタでは p 型領域であり、 p チャネル型トランジスタでは n 型領域である。

【0078】

本実施形態によると、チャネル領域を $SiGeC$ により構成することにより、価電子帯及び伝導帯共に $Si/SiGeC$ ヘテロ接合部におけるバンド不連続（ヘテロ障壁）を生じさせることにより、 n チャネル・ p チャネルともに埋め込みチャネル構造とすることができる。すなわち、 n HVTMISFET も埋め込み n チャネルを有しているので、第 1 の実施形態における p HVTMISFET と同様に、しきい値電圧 V_{th} の低減と基板バイアス係数 γ の増大とを併せて得ることができる。よって、 p HVTMISFET、 n HVTMISFET 共に高い I_{on}/I_{off} 比を実現することができる。しかも、1 つのエピタキシャル工程によって p チャネル領域（ $SiGeC$ チャネル領域 29）及び n チャネル領域（ $SiGeC$ チャネル領域 69）を構成する $SiGeC$ 膜 19、59 が形成されるために、製造コストの低減が可能である。

【0079】

また、第 2 の実施形態において説明したように、本実施形態の c HVTMIS デバイスにおいても、 $SiGeC$ チャネル領域 69 の存在によって、 Si ボディ領域 62 から Si キャップ層 65 へのボロンの拡散を抑制する効果がより顕著に発揮される。すなわち、 C 原子が、不純物の増殖拡散の原因となる原子空孔を埋めるからと考えられる。

【0080】

【発明の効果】

本発明では、VTMISFET として機能する半導体装置において、チャネル領域に Si よりバンドギャップの小さい材料導入することにより、しきい値電圧の低減と基板バイアス係数 γ の増大を図ることができ、よって、高速動作化と低

消費電力化とを併せて実現することができる。

【図面の簡単な説明】

【図 1】

(a), (b) は、本発明の第 1 の実施形態の SiGe 層をチャネルに用いたヘテロ接合型の pHVTMISFET というの断面図及び平面図である。

【図 2】

(a), (b), (c) は、それぞれ順に、ビルトイン状態、動作時及び待機時におけるエネルギーバンド図である。

【図 3】

(a), (b) は、それぞれ順に、Si-pVTMISFET、SiGe-pHVTMISFET の価電子帯端のポテンシャルのシミュレーション結果を示す図である。

【図 4】

Si-pVTMISFET と SiGe-pHVTMISFET とのチャネルポテンシャルの基板バイアス依存性のシミュレーション結果を示す図である。

【図 5】

Si-pVTMISFET と、SiGe-pHVTMISFET との $V_g - I_d$ 特性を比較して示す図である。

【図 6】

(a), (b) は、Si-pVTMISFET と SiGe-pHVTMISFET とにおける $V_g - I_d$ 特性の変化を比較して示す図である。

【図 7】

Si-pVTMISFET と、SiGe-pHVTMISFET との低電界下におけるホールの有効移動度を比較して示す図である。

【図 8】

(a), (b) は、Si-pVTMISFET における $V_g - I_d$ 特性をボディ領域の不純物濃度を 2 種類に変えて示す図である。

【図 9】

(a) ~ (c) は、SiGe-pHVTMISFET における $V_g - I_d$ 特性

をボディ領域の不純物濃度を 2 種類に変えて示す図である。

【図 1 0】

Si-pVTMISFETとSiGe-pHVTMISFETとにおけるしきい値電圧の基板バイアス依存性を示す図である。

【図 1 1】

(a), (b) は、それぞれ順に、Si-pVTMISFET, 及びSiGe-pHVTMISFETのしきい値電圧を揃えたときの $V_g - I_d$ 特性を示す図である。

【図 1 2】

図 1 1 に示されるSi-pVTMISFET及びSiGe-pHVTMISFETの $V_g - I_d$ 特性を $I_{on} - I_{off}$ 特性として表した図である。

【図 1 3】

(a), (b), (c) は、それぞれ順に、第 2 の実施形態のcHVTMISデバイスの構造を示す断面図、pHVTMISFET及びnHVTMISFETの動作時におけるバンド状態を示すエネルギーバンド図である。

【図 1 4】

(a), (b), (c) は、それぞれ順に、第 3 の実施形態のcHVTMISデバイスの構造を示す断面図、pHVTMISFET及びnHVTMISFETの動作時におけるバンド状態を示すエネルギーバンド図である。

【図 1 5】

第 3 の実施形態のnHVTMISFET及びpHVTMISFETに基板バイアス V_{bs} を印加するための回路構成を示すブロック回路図である。

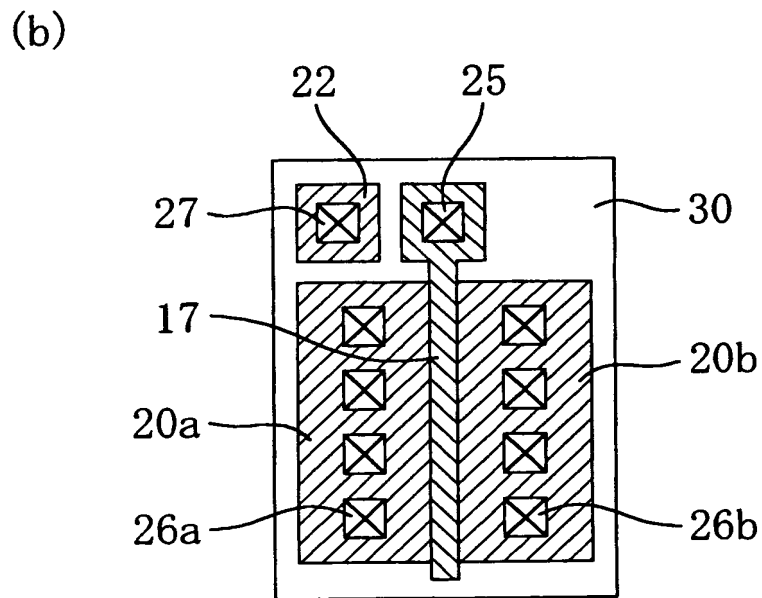
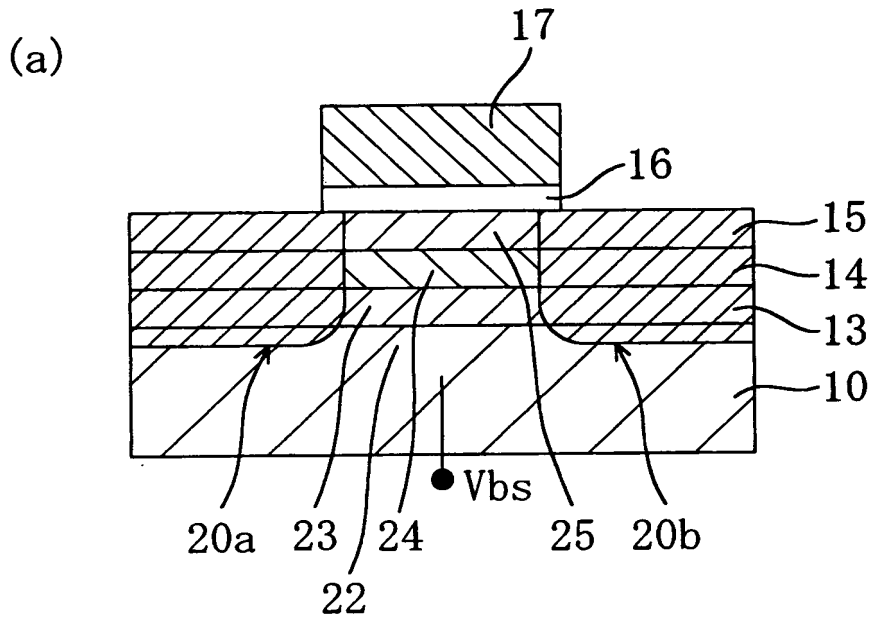
【符号の説明】

- 1 0 Si 基板
- 1 1 埋め込み酸化膜
- 1 2 上部Si膜
- 1 3 Siバッファ層
- 1 4 SiGe膜
- 1 5 Si膜

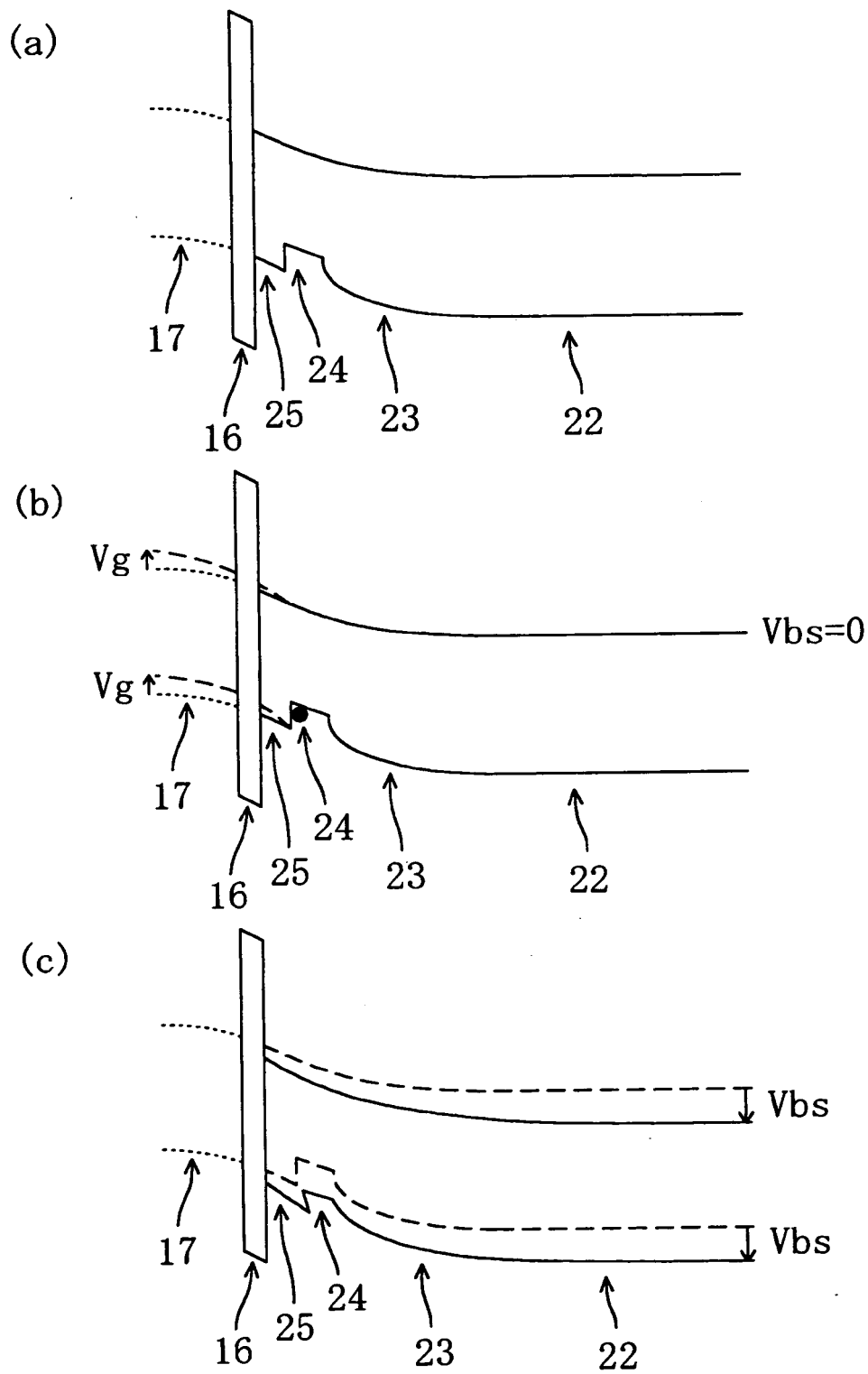
- 1 6 ゲート絶縁膜
- 1 7 ゲート電極
- 2 0 a ソース領域
- 2 0 b ドレイン領域
- 2 2 ボディ領域
- 2 3 n^{-} Si 領域

【書類名】 図面

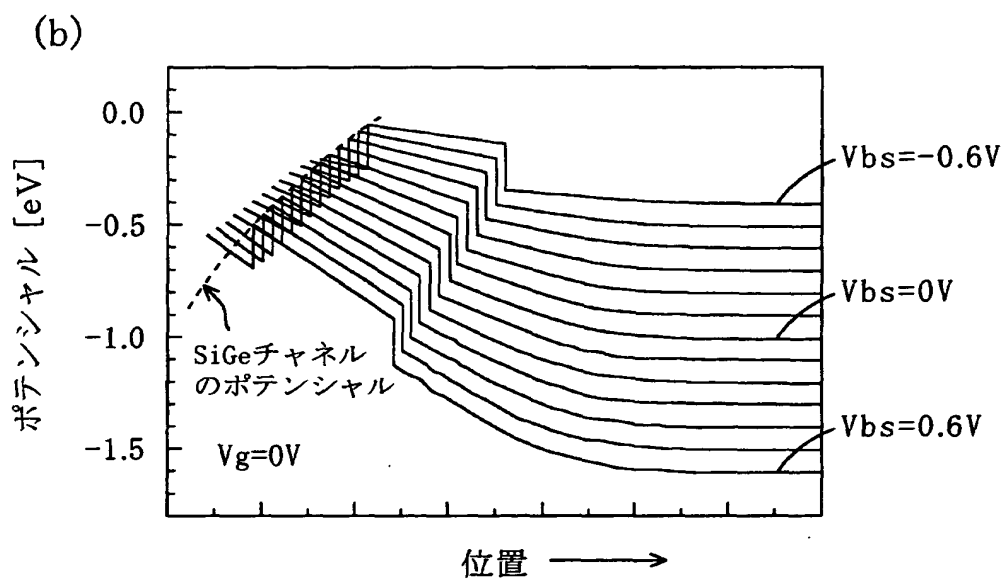
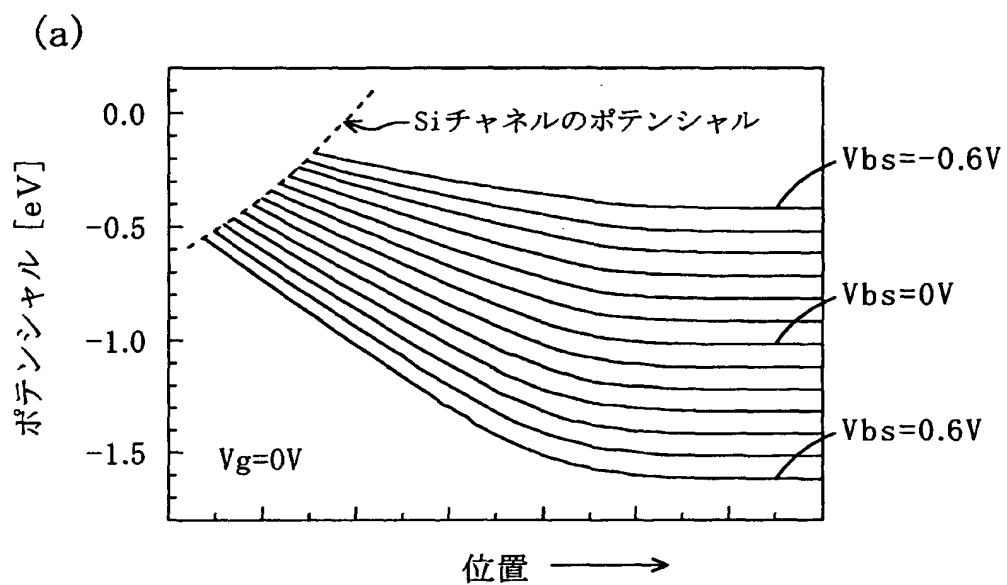
【図 1】



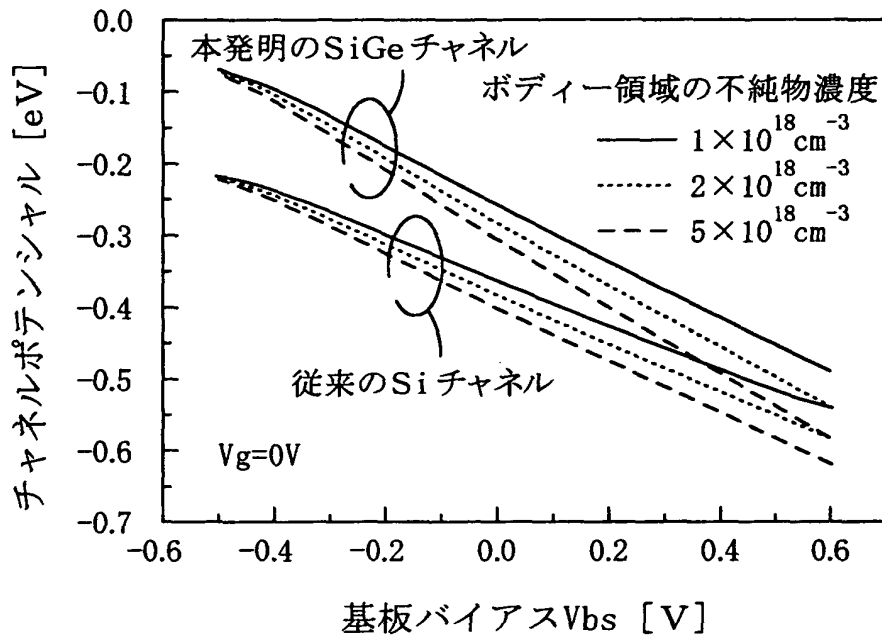
【図 2】



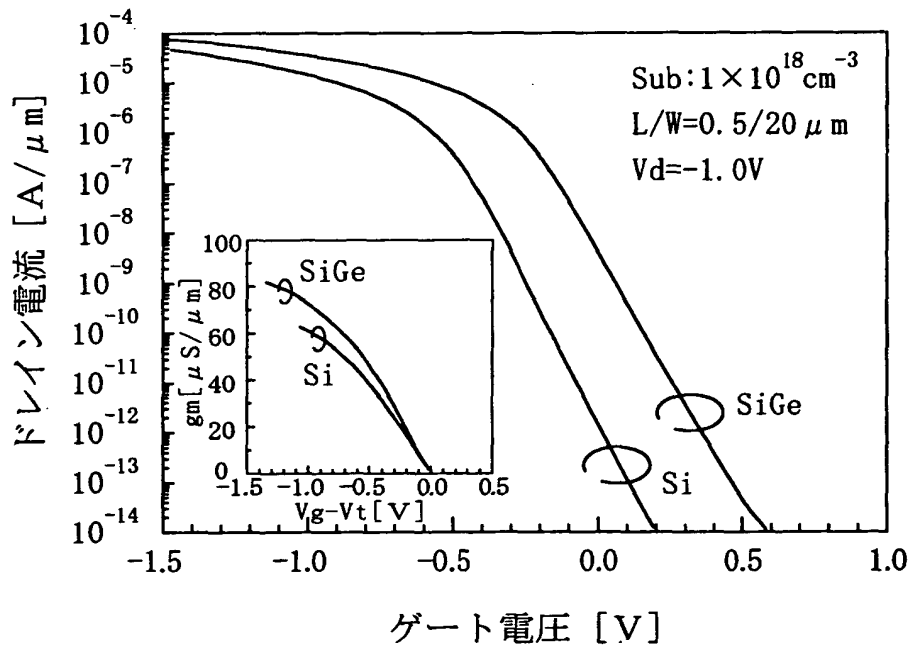
【図 3】



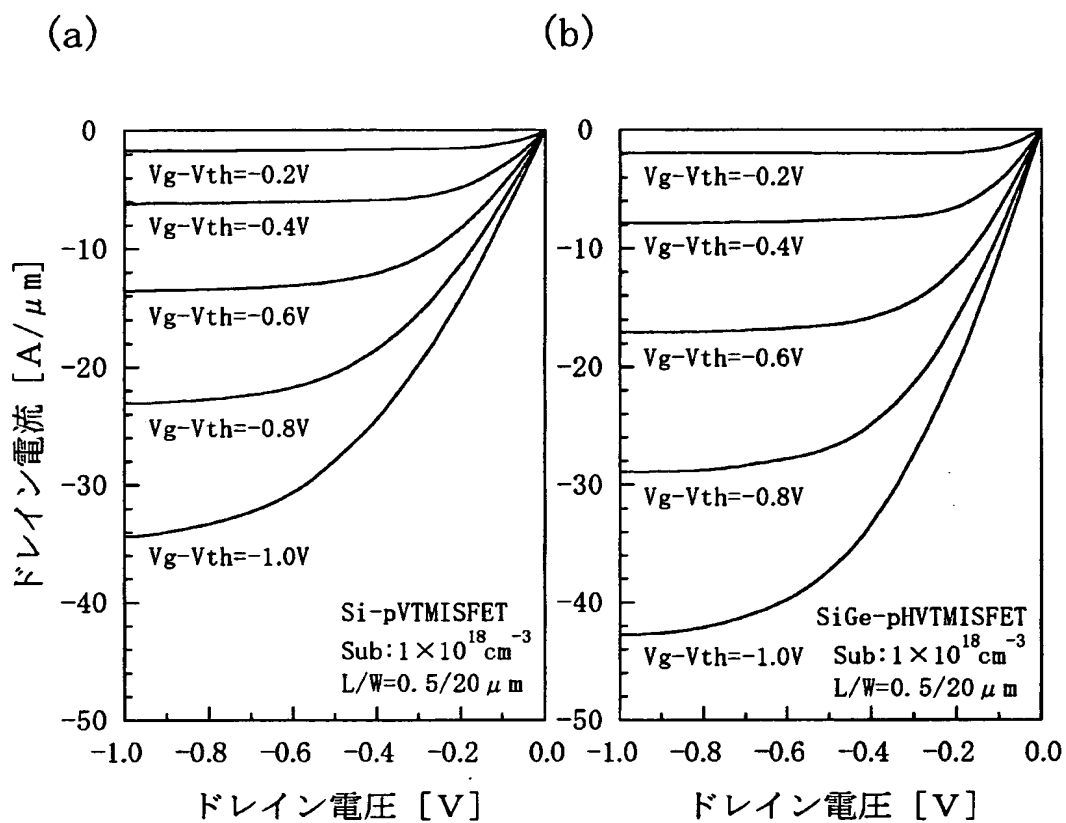
【図4】



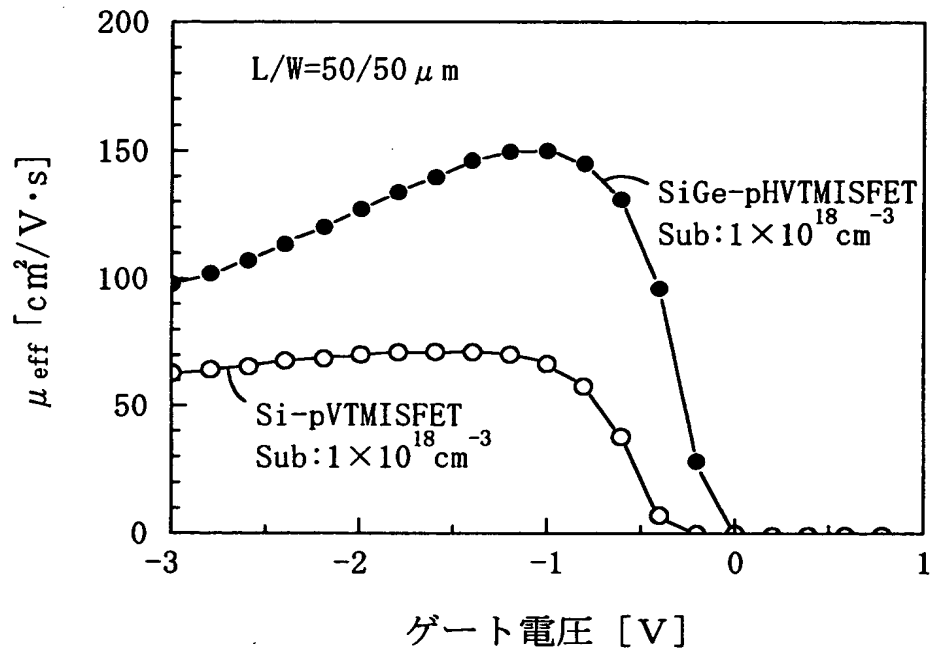
【図5】



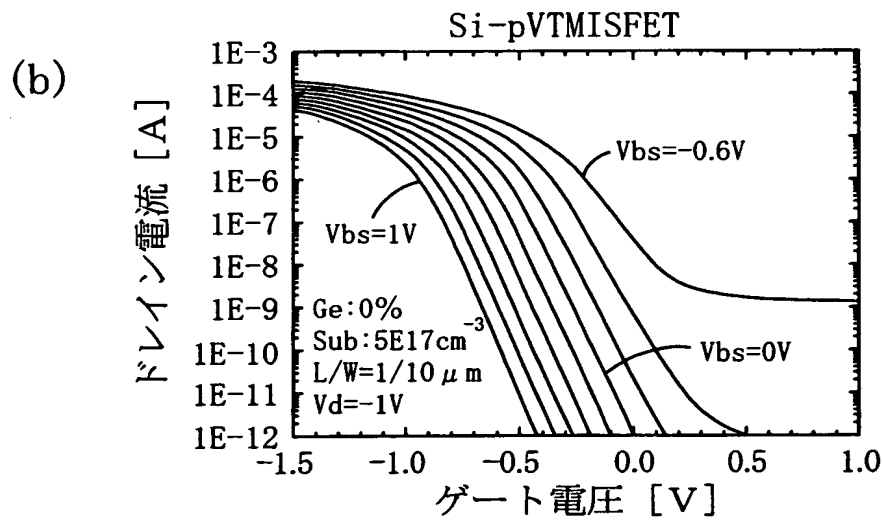
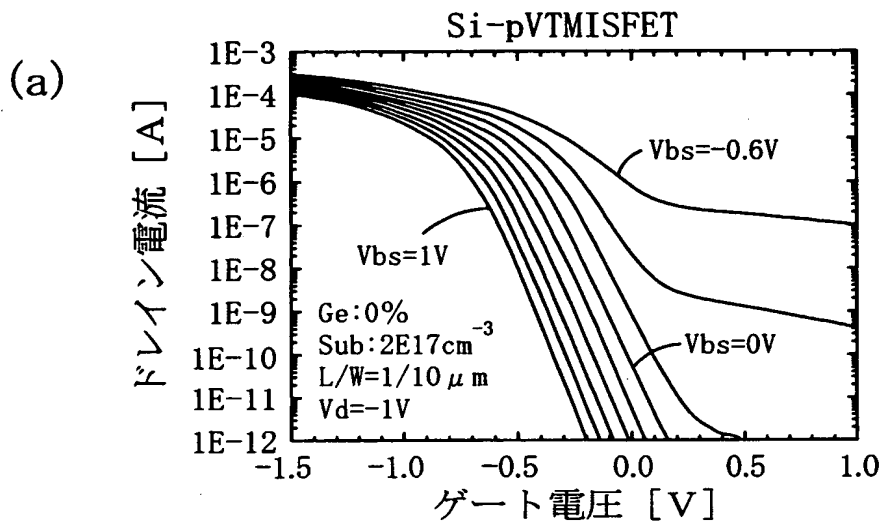
【図 6】



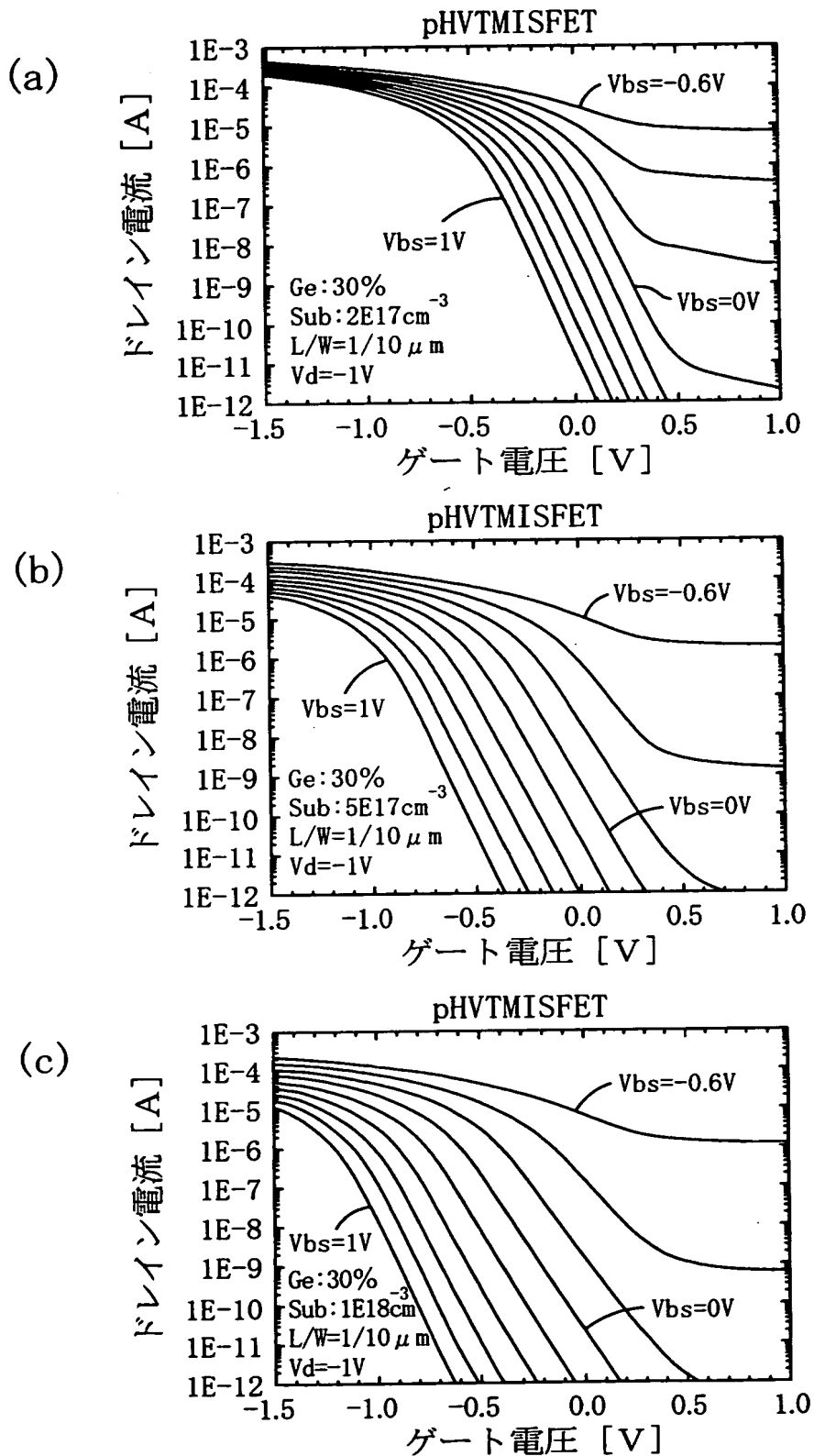
【図 7】



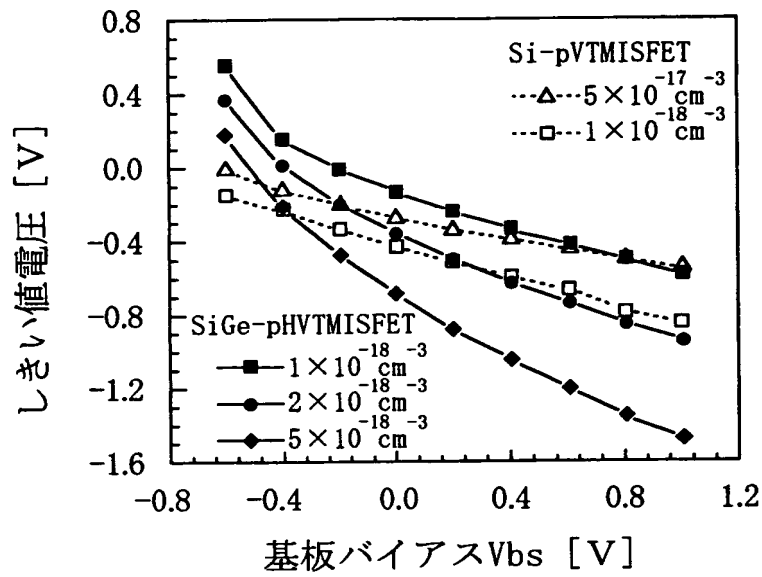
【図 8】



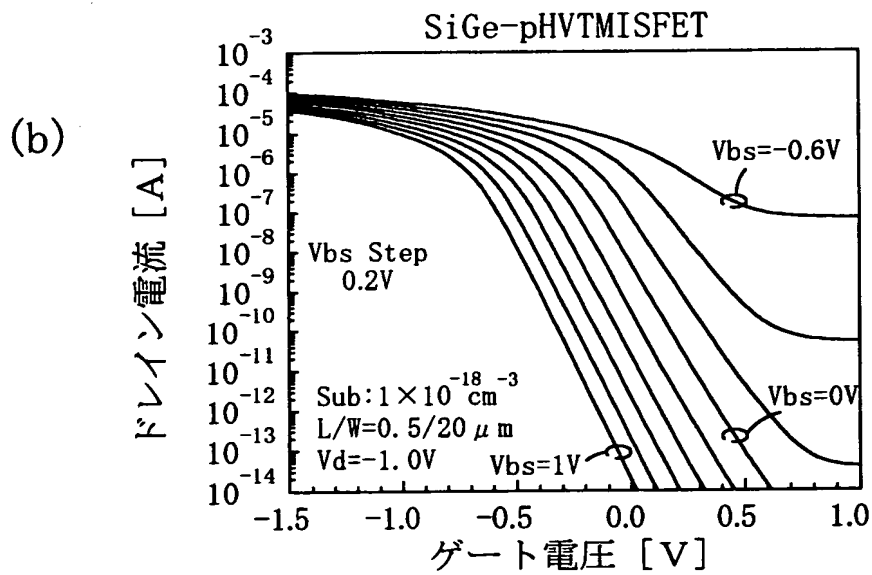
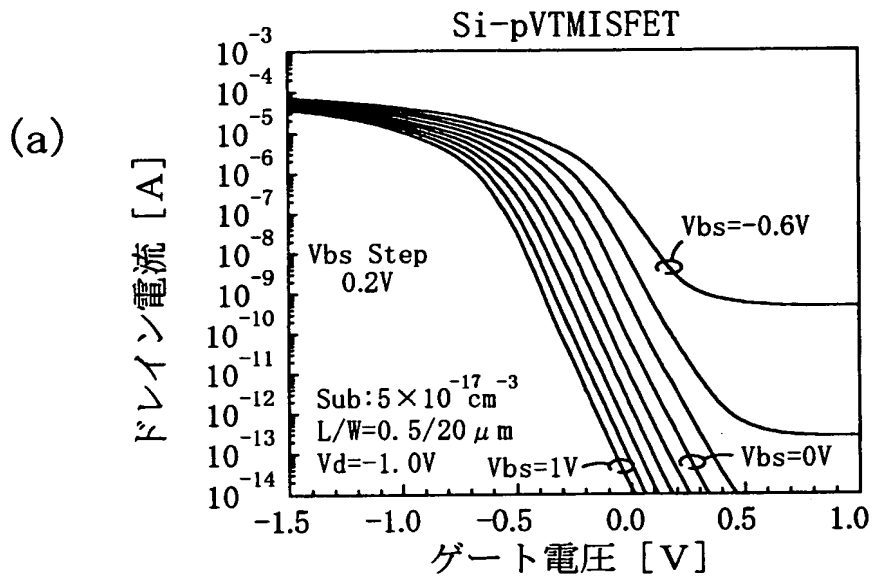
【図 9】



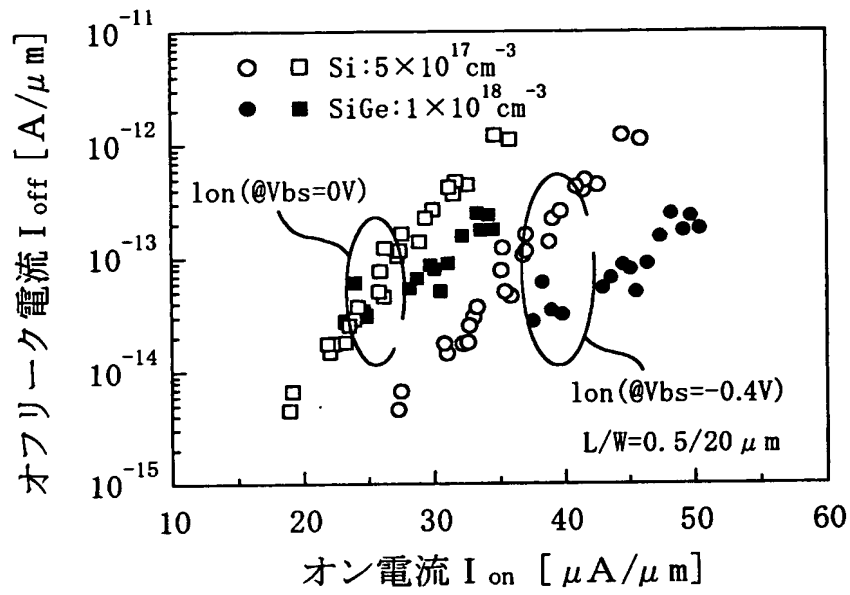
【図 10】



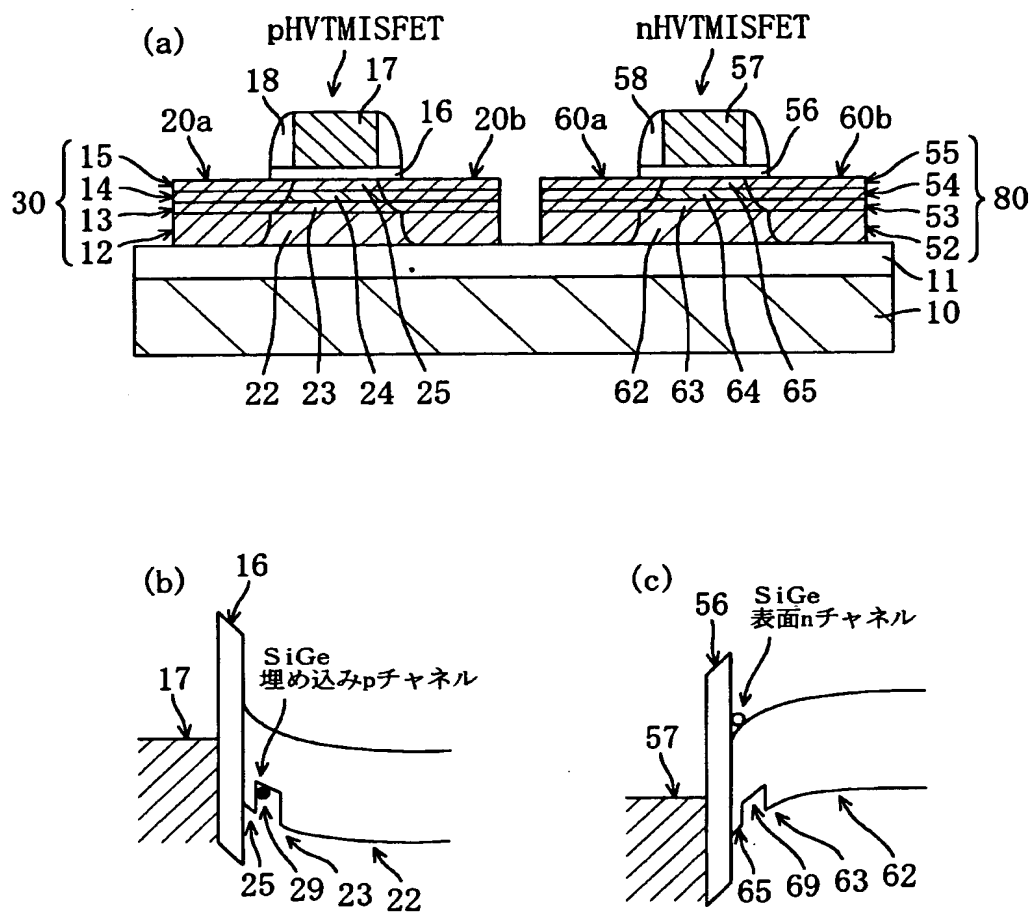
【図 1 1】



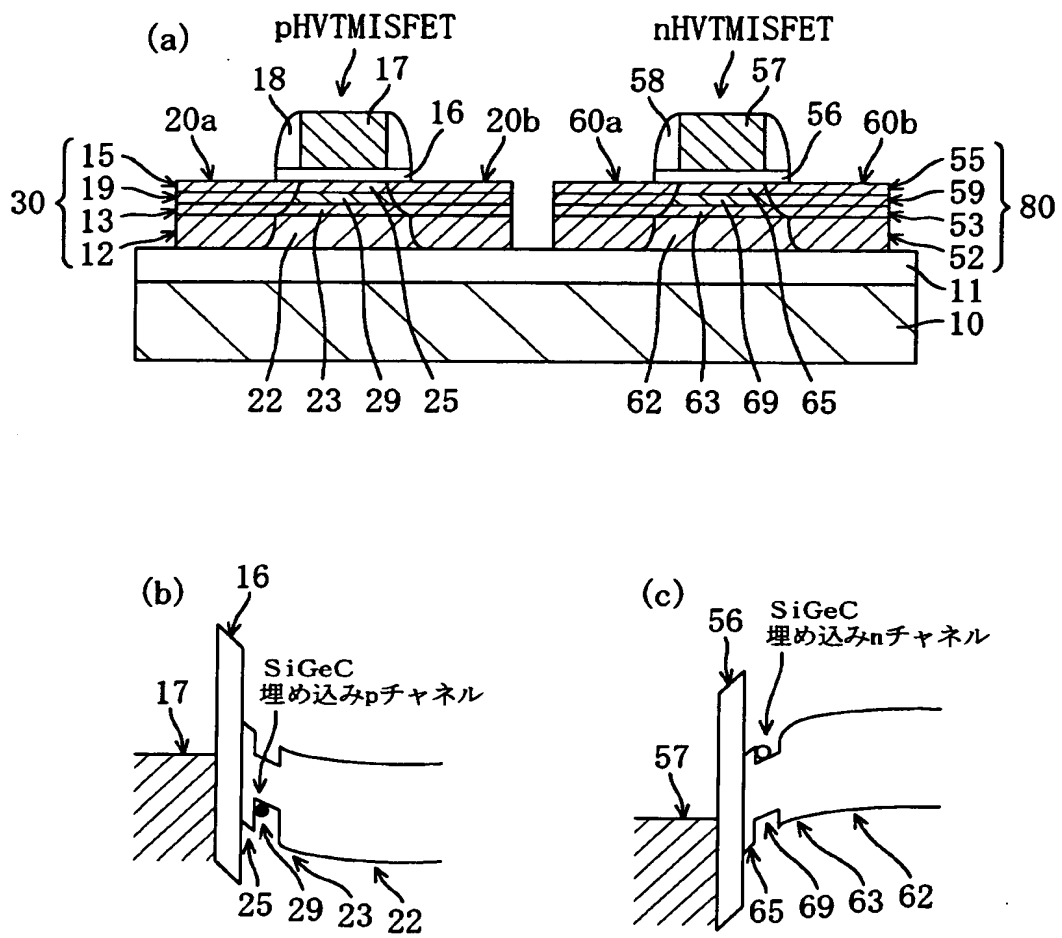
【図 12】



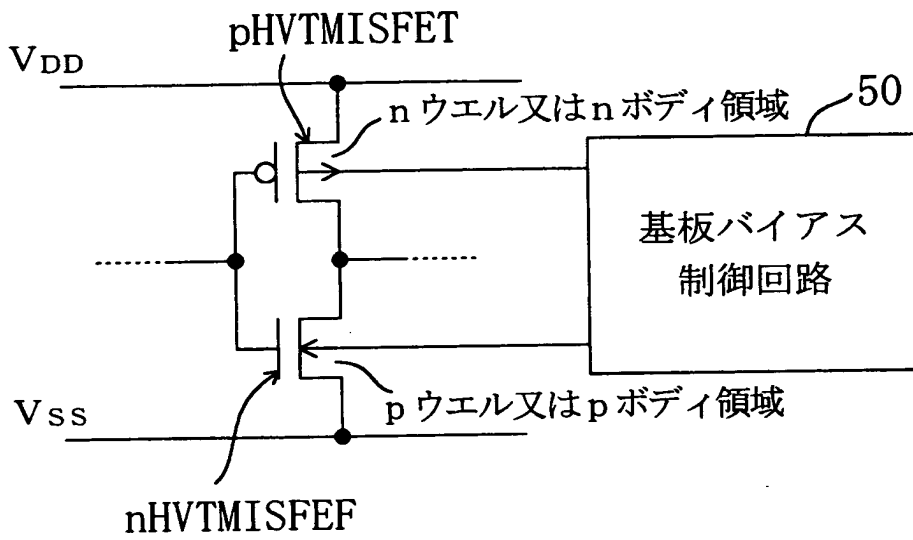
【図 1 3】



【図 1 4】



【図15】



【書類名】 要約書

【要約】

【課題】 高速動作性と低消費電力性とを併せて発揮しうる半導体装置を提供する。

【解決手段】 HVTMMISFETは、Si基板10と、エピタキシャル成長されたSiバッファ層13、SiGe膜14、Si膜15とから構成されている。また、高濃度のn型Siボディ領域22と、 n^- Si領域23と、低濃度のn型不純物を含むSiGeチャネル領域24と、低濃度のn型Siキャップ層25と、Siボディ領域22にバイアスを印加するためのボディコンタクト27とが設けられている。チャネル層にボディ領域を構成する材料よりもキャリアが走行するバンド端のキャリアに対するポテンシャルが小さい材料を導入することにより、しきい値電圧を低下させながら、基板バイアス係数を高く維持することが可能になり、高速動作性と低消費電力性とを併せて発揮することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社